

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-154774

(43)Date of publication of application : 08.06.1999

(51)Int.Cl.

H01S 3/18
G09F 9/33
H01L 27/12
H01L 33/00

(21)Application number : 10-229383

(71)Applicant : CANON INC

(22)Date of filing : 30.07.1998

(72)Inventor : ONOUCHI TOSHIHIKO

(30)Priority

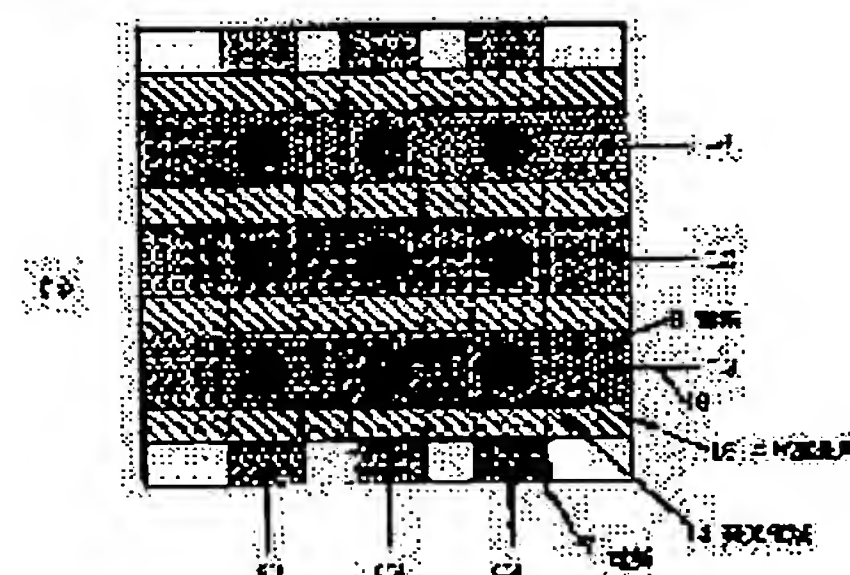
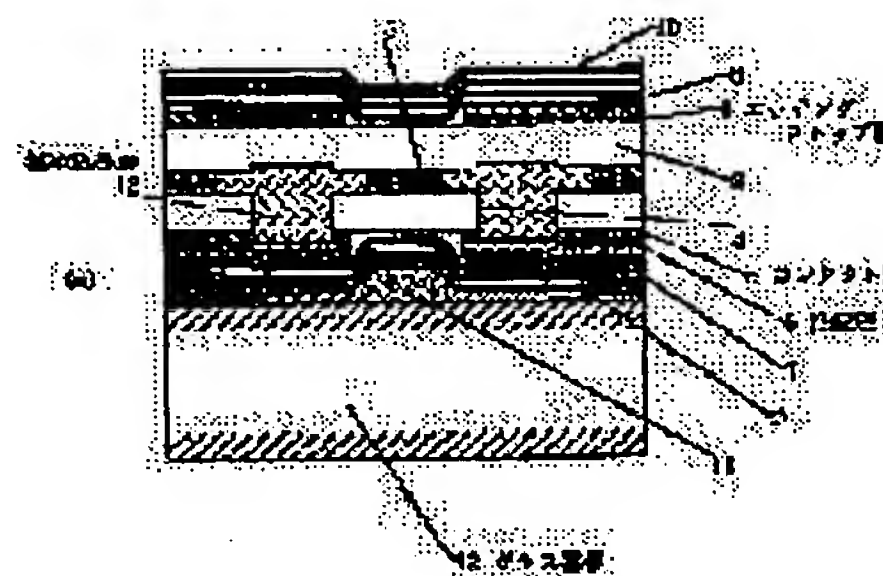
Priority number : 09223081 Priority date : 05.08.1997 Priority country : JP

(54) SURFACE LIGHT EMISSION TYPE SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF, AND DISPLAY DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for easily manufacturing a surface light emission type semiconductor device with a high yield.

SOLUTION: In a method for manufacturing a surface light emission type semiconductor device, semiconductor layers 1 to 5 including the semiconductor active layer 3 are formed on a first semiconductor substrate by an epitaxial growth process, and electrodes 7 and 8 for supply of a current thereto are formed to the semiconductor active layer 3. The active layer 3 emits light when receiving the current. The first substrate formed with the semiconductor layers 1 to 5 is bonded to a second substrate 12 with the layers 1 to 5 positioned inside thereof, and the first substrate is removed from the bonded substrates so that the layers 1 to 5 remains on the second substrate 12.



LEGAL STATUS

[Date of request for examination] 13.12.2002

[Date of sending the examiner's decision of rejection] 05.01.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平11-154774

(43)公開日 平成11年(1999)6月8日

(51) InLCl°

識別記号

FI

H O I S 3/18

H01S 3/18

G O 9 F 9/33

G O 9 F 9/33

D

H01L 27/12

H0 1 L 27/12

B

33/00

33/00

N

審査請求 未請求 請求項の数21 FD (全 11 頁)

(21)出願番号 特願平10-229383

(22)出願日 平成10年(1998)7月30日

(31)優先権主張番号 特願平9-223081

(32)優先日 平9(1997)8月5日

(33)優先権主張国 日本 (J P)

(71)出題人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 尾内 敏彦

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

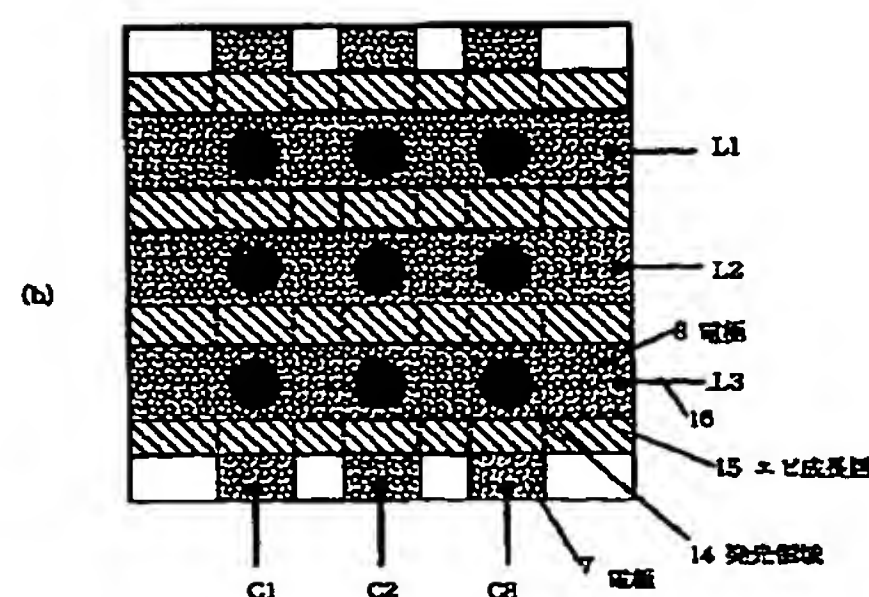
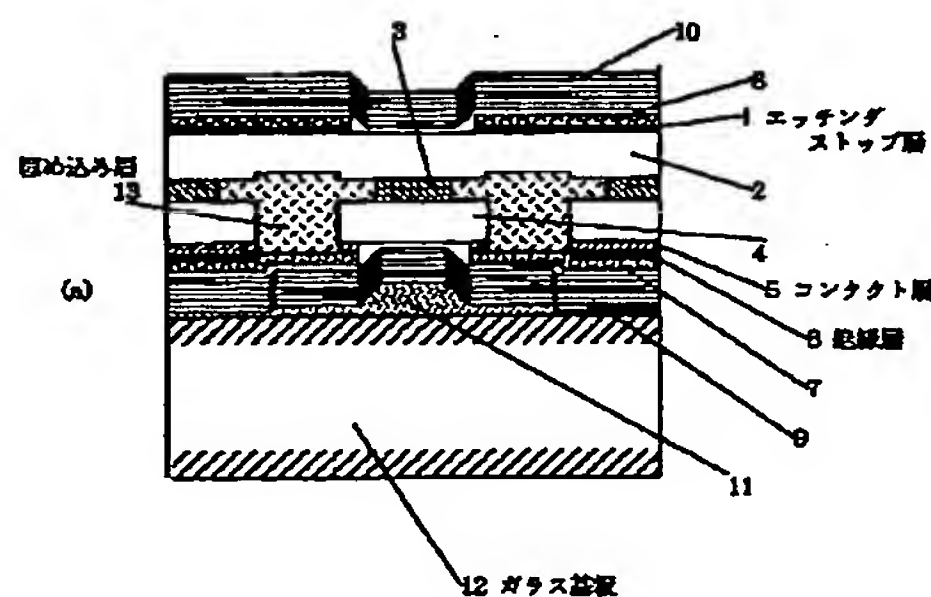
(74) 代理人 弁理士 加藤 一男

(54) 【発明の名称】 面発光半導体デバイスの製造方法、この方法によって製造された面発光半導体デバイス及びこのデバイスをを用いた表示装置

(57) 【要約】

【課題】面発光半導体デバイスを簡単に、高い歩留まりで製造する方法である。

【解決手段】面発光半導体デバイスの製造方法において、半導体から成る第１の基板上に、電流が供給されることによって発光する半導体活性層３を含む半導体層１～５をエピタキシャル成長させ、半導体活性層３に電流を供給するための電極７、８を形成し、半導体層が形成された第１の基板を、第２の基板１２に、半導体層が内側となるように貼り合せ、貼り合わされた基板から、第２の基板１２上に半導体層を残して第１の基板を除去する。



【特許請求の範囲】

【請求項1】面発光半導体デバイスの製造方法であつて、半導体から成る第1の基板上に、電流が供給されることによって発光する半導体活性層を含む半導体層をエピタキシャル成長させる工程と、前記半導体活性層に電流を供給するための電極を形成する工程と、前記半導体層が形成された第1の基板を、第2の基板に、半導体層が内側となるように貼り合わせる工程と、貼り合わされた基板から、第2の基板上に半導体層を残して第1の基板を除去する工程を有することを特徴とする面発光半導体デバイスの製造方法。

【請求項2】更に、第2の基板と貼り合わせる前に、前記半導体層上に反射ミラーを形成する工程を有する請求項1記載の面発光半導体デバイスの製造方法。

【請求項3】前記反射ミラーは、誘電体多層膜によって形成される請求項2記載の面発光半導体デバイスの製造方法。

【請求項4】前記第2の基板は、光透過性の材料から成る請求項1記載の面発光半導体デバイスの製造方法。

【請求項5】更に、第2の基板の貼り合わされた面と反対側の面に、無反射コーティングを形成する工程を有する請求項4記載の面発光半導体デバイスの製造方法。

【請求項6】前記第2の基板はガラス基板から成る請求項4記載の面発光半導体デバイスの製造方法。

【請求項7】前記半導体層が形成された第1の基板を、蛍光体を挟んで第2の基板と貼り合わせる請求項4記載の面発光半導体デバイスの製造方法。

【請求項8】前記第2の基板は、電子回路が形成された半導体基板から成る請求項1記載の面発光半導体デバイスの製造方法。

【請求項9】更に、第2の基板と貼り合わせる前に、前記半導体層上に第1の反射ミラーを形成する工程と、第1の基板を除去することによって露出した半導体層の面上に第2の反射ミラーを形成する工程を有する請求項1記載の面発光半導体デバイスの製造方法。

【請求項10】前記第1及び第2の反射ミラーは、誘電体多層膜によって形成される請求項9記載の面発光半導体デバイスの製造方法。

【請求項11】更に、前記第2の反射ミラーの上に、第3の基板を貼り合わせる工程を有する請求項9記載の面発光半導体デバイスの製造方法。

【請求項12】前記第3の基板は、光透過性の材料から成る請求項11記載の面発光半導体デバイスの製造方法。

【請求項13】前記第3の基板はガラス基板から成る請求項12記載の面発光半導体デバイスの製造方法。

【請求項14】前記第3の基板は、電子回路が形成された半導体基板から成る請求項11記載の面発光半導体デバイスの製造方法。

【請求項15】前記電極は、マトリックス状に配置され

た正電極及び負電極から成る請求項1記載の面発光半導体デバイスの製造方法。

【請求項16】前記半導体層及び電極が形成された複数の第1の基板をアレイ状に第2の基板に貼り合せた後、複数の第1の基板を除去する請求項1記載の面発光半導体デバイスの製造方法。

【請求項17】前記半導体層は、半導体活性層に供給される電流の流れを制限するための電流狭窄構造を有する請求項1記載の面発光半導体デバイスの製造方法。

【請求項18】前記半導体層は、B, Al, Ga及びInのいずれかと、Nとの化合物半導体から成る請求項1記載の面発光半導体デバイスの製造方法。

【請求項19】前記半導体層は、ZnOから成る半導体活性層と、ZnMgOから成るクラッド層とから成る請求項1記載の面発光半導体デバイスの製造方法。

【請求項20】請求項1乃至19のいずれかの方法で製造された面発光半導体デバイス。

【請求項21】請求項1乃至19のいずれかの方法で製造された複数の面発光半導体デバイスをアレイ状に配置して成る表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、2次元アレー型構造などに適した面発光半導体デバイス（面型半導体発光装置などとも言う）を簡単に、高い歩留まりで製造する方法、この方法によって製造された面発光半導体デバイス及びこのデバイスを用いた表示装置に関する。

【0002】

【従来の技術】近年、大容量並列光情報処理、高速光接続、薄型表示素子などへの応用のため、2次元アレー型の面型固体発光素子の開発が望まれている。これらへの応用のためには、低コスト、低消費電力、高生産性、高信頼性などが必要条件となる。面型固体発光素子の材料としては様々なものが研究、開発されているが、信頼性を確保するためには半導体単結晶は非常に適している。特に、化合物半導体を用いた面型発光素子の開発が盛んに行われている。化合物半導体では、基板や積層構造の材料を変えることで紫外から赤外の広い範囲の波長帯での光の発光が可能であり、表示素子としても有望視されている。また、発光素子のなかでも、両端面に反射ミラーを備えたレーザダイオード（LD）では自然発光に比べて非常に発光効率が高く、2次元アレー化した場合にも消費電力を小さくすることができる。この様な観点から、面型の半導体レーザ（Vertical Cavity Surface Emitting Laser:VCSEL）の開発が、近年、活発に行なわれている。

【0003】現在、VCSELについても、波長400nm程度の青色から通信波長帯である1.55μmまで開発されつつあり、サファイア基板上的AlGaInN系、GaAs基板上的InGaAlP/InA

IP系、InGaAs/AlGaAs系、InP基板上のInGaAs/InGaAsP系などの材料系で研究されている。

【0004】従来例のVCSELの基本的な構造を図10に示す。基板201から垂直にレーザ光を出射し、数 μm 厚程度のエピタキシャル成長層の両面に99%以上の高反射膜209を備える構造となっている。尚、図10において、202はエッチングストップ層、203、205はクラッド層、204は活性層、206はコンタクト層、207は絶縁層、208は電極、210は埋め込み層である。

【0005】反射膜としては、屈折率の異なる $\lambda/4$ 厚の膜を多層にしたものが主に用いられ、材料としては、図10の例の様な誘電体、あるいはエピ成長した半導体が一一般的である。エピ成長したミラーの例としては、ELECTRONICS LETTERS, 31, p. 560 (1995)にある様に、GaAs基板上にAlAs/GaAsの多層膜ミラーと活性層などを一回の成長で形成するものや、APPLIED PHYSICS LETTER, 66, p. 1030 (1995)にある様に、InP基板上に成長したInGaAsP/InP系のレーザ構造に、GaAs基板上のGaAs/AlAsミラーを直接接合により貼り付けたものなどがある。

【0006】

【発明が解決しようとしている課題】しかしながら、多層膜ミラーとして半導体エピ層を用いる場合には、屈折率差があまり大きく取れないために層数が多くなって、成長時間が長く膜厚が厚くなり、従って、生産性が低く加工や平坦化が難しくなる。また、半導体ミラーで実用的な材料は現状ではGaAs/AlAsであり、これでは格子定数を考えると使用可能な活性層の材料が限られて発振波長帯が限られてしまう。GaAs/AlAsミラーを直接接合により貼り付ける場合には、使用可能な活性層の材料の範囲が広がって他の波長帯にも適用できるが、半導体基板の大きさに制限があるので、この方法は小さい面積でのみ有効である。

【0007】一方、誘電体多層膜ミラーは作製が簡便であるが、基板の上にそのまま成膜できないので、図10の様に基板201の裏側をエッチングして窓201aをあけてから成膜する必要があり、窓の形成に精度を要求されると共に窓同士を余り近付けられない。従って、歩留まり、均一性が悪く、素子の高密度化ができないため2次元アレーにする場合には問題があった。

【0008】一方、特開平9-223848号公報には、半導体基板上に半導体活性層を含む半導体層をエピタキシャル成長させ、この半導体基板を集積回路基板と貼り合せた後、半導体基板を除去することによって面発光半導体デバイスと他の電気素子が集積化された半導体装置を製造する方法が記載されている。この半導体装置の概略断面図を図11に示す。図11において、符号500は光入出力基板、500Aは受光素子、500Bは

垂直共振器型面発光レーザ、500C及び500Dはそれぞれ受光素子500A及び面発光レーザ500Bの配線、200は集積回路基板、200Aは集積回路基板200の金属配線、300は絶縁層、400は配線、L₁は出力光、L₂は入力光をそれぞれ示す。

【0009】しかしながら、図11の半導体装置は、光透過性の材料から成る基板を用いて、基板側に光を取り出すものではなかった。また、図11の半導体装置は、各々の発光部に対して段差を有する箇所配線を行なっているため、配線を形成する工程が難しく、歩留まりが悪い問題があった。特に、図11の様な構成で半導体層上に誘電体多層膜ミラーを作製しようとすると、歩留まりの低下が顕著であった。

【0010】本発明の目的は、上記従来技術の問題点を解決し、面発光半導体デバイスを簡単に、高い歩留まりで製造する方法、この方法によって製造された面発光半導体デバイス及びこのデバイスを用いた表示装置を提供することにある。

【0011】

【課題を解決するための手段】上記の目的を達成する本発明の面発光半導体デバイスの製造方法は、半導体から成る第1の基板上に、電流が供給されることによって発光する半導体活性層を含む半導体層をエピタキシャル成長させる工程と、前記半導体活性層に電流を供給するための電極を形成する工程と、前記半導体層が形成された第1の基板を、第2の基板に、半導体層が内側となるように貼り合せる工程と、貼り合わされた基板から、第2の基板上に半導体層を残して第1の基板を除去する工程を有することを特徴とする。第1の基板に成膜したあとに第2の基板を貼り付け第1の基板を除去することで、材料や単結晶/非晶質の制限のない積層構造を構成できるため、面型発光装置において自由度の高いプロセス設計が可能となり製造コスト等の低減ができる。

【0012】より具体的な形態としては、以下の如きものがある。更に、第2の基板と貼り合せる前に、前記半導体層上に反射ミラーを形成する工程を有する。この反射ミラーを誘電体多層膜から構成すれば、非常に安価に面型発光レーザ装置或はLEDが提供できる。

【0013】前記第2の基板は、光透過性の材料から成る。この場合において、更に、第2の基板の貼り合わされた面と反対側の面に、無反射コーティングを形成する工程を有すれば、光出力を大きくできる。

【0014】前記第2の基板はガラス基板から成る。第2の基板を誘電体ガラスにすれば、非常に安価に面型発光装置を提供できる。

【0015】前記第2の基板が光透過性の材料から成る場合において、前記半導体層が形成された第1の基板を、蛍光体を挟んで第2の基板と貼り合せる。こうすれば、全固体で生産性の高いフルカラーの表示装置などを実現できる。

【0016】前記第2の基板は、電子回路が形成された半導体基板から成る。Si系の電子デバイスなどと面型発光装置を集積化した構造を提供できる。

【0017】更に、第2の基板と貼り合わせる前に、前記半導体層上に第1の反射ミラーを形成する工程と、第1の基板を除去することによって露出した半導体層の面上に第2の反射ミラーを形成する工程を有する。面型発光装置で光出力を大きくできる構造を提供できる。この場合において、前記第1及び第2の反射ミラーを誘電体多層膜によって形成すれば、非常に安価に面型発光レーザ

装置を提供できる。

【0018】更に、前記第2の反射ミラーの上に、第3の基板を貼り合わせる工程を有する。この場合において、前記第3の基板が光透過性の材料（例えば、ガラス基板）から成れば、両面から光を取り出す面型発光装置を提供できる。

【0019】前記第3の基板は、電子回路が形成された半導体基板から成る。Si系の電子デバイスなどと面型発光装置を集積化した構造を提供できる。

【0020】前記電極は、マトリックス状に配置された正電極及び負電極から成る。2次元アレー状に並べられた各デバイスを独立に駆動できる構造を提供でき、各発光点の明滅を独立に制御できて応用範囲が広がる。

【0021】前記半導体層及び電極が形成された複数の第1の基板をアレー状に第2の基板に貼り合せた後、複数の第1の基板を除去する。面型発光装置の面積化が可能となる。

【0022】前記半導体層は、半導体活性層に供給される電流の流れを制限するための電流狭窄構造を有する。効率の良い面型発光装置とできる。

【0023】前記半導体層は、B、Al、Ga及びInのいずれかと、Nとの化合物半導体から成る。また、前記半導体層は、ZnOから成る半導体活性層と、ZnMgOから成るクラッド層とから成る。こうすれば、青色から紫外光を発生させる高効率なLDあるいはLEDを構成でき、高輝度なフルカラー表示装置などを提供できる。

【0024】上記目的は、上記の方法で製造された面発光半導体デバイス、上記の方法で製造された複数の面発光半導体デバイスをアレー状に配置して成る表示装置によっても達成される。

【0025】

【発明の実施の形態】以下に本発明の実施の形態を図面を参照して説明する。

【0026】〔第1実施例〕本発明による第1の実施例のVCSELアレーは、半導体単結晶基板であるInP基板上に成長したInGaAs/InGaAsP系の波長1.3μm帯のVCSELをシリカガラス基板に貼り付けて構成したものである。そのVCSELアレーの1つの発光領域（ピクセル）の断面構造を図1（a）に示

す。

【0027】本実施例では、半導体活性層3をn型、p型の半導体から成るクラッド層2、4がサンドイッチする構造になっており、両面に誘電体多層膜ミラー9、10を形成してある。誘電体多層膜ミラー9はガラス基板12に接着剤11で貼り付けてある。ガラス基板12と反対側から見たアレー構造の平面図は図1（b）のようになっている。ガラス基板12側の電極7は、予めストライプ状にパターニングしておき、ガラス基板12に貼り付けてエピ成長層15を形成した半導体基板を除去した後に、エピ成長層15を一部除去して電極7を露出させることで取り出す。また、ガラス基板12と反対側の電極8は誘電体多層膜ミラー10の一部を除去することで取り出す。図1（b）において、例えば、C1～L1間に電極ワイヤ16（C1～C3、L1～L3）を介して電圧を与えれば最左上のピクセル14のみが発振する。

【0028】以下に図2を用いて本実施例の作製プロセスを述べる。まず、図2（a）に示す様に、n-InP基板20上に、n-InGaAsコンタクトないしエッチングストップ層1、n-InPクラッド層2、アンドープInGaAs/InGaAsP歪み多重量子井戸活性層3、p-InPクラッド層4、p-InGaAsコンタクト層5をこの順に化学ビームエピタキシー（CBE）法などで成長する。続いて、発光領域の周りを、内径20μmφ、外径40μmφのドーナツ状に活性層3下部までRIE（Reactive Ion Beam Etching）法などで垂直にエッチングを行なう。次に、InGaAsコンタクト層5の側壁をレジストなどでカバーして、活性層3の側壁だけ選択ウエットエッチングで数μmだけエッチングを行うことで活性層3を約15μmφの円形にくびらせる。これは、後述の誘電体多層膜の有効径と活性層3の径を同程度にして電流を必要な程度に狭窄して発振動作を効率的且つ良好にする為である。このとき、エッチング液として、硫酸：過酸化水素水：水＝3：1：1を用いれば、InPクラッド層2、4は全くエッチングされず活性層3のみの完全選択エッチングとなる。また、このエッチングの際、面方位依存性があり、（100）の基板20を用いた場合には（010）面、（001）面及びそれらの逆方位面が現れて活性層3は正方形に近い形となる。この場合、活性層3に利得の異方性が生じるため発振光の偏波が安定化し、従来VCSELで問題になっていた発振光の偏波不安定性から来るキンクなどの雑音を除去することもできる。最後に、ポリイミド13などで、選択ウエットエッチングで生じた溝部を埋め込む。

【0029】続いて、図2（b）に示す様に、1つのピクセルの外周部の絶縁を確保するためにSiN膜6を形成し、p側電極7としてCr（500Å）/Au（5000Å）を蒸着する。ピクセルの内部に、活性層3より若干大きい径の円形に該電極7、コンタクト層5を除去

し、各層が $\lambda/4$ の厚さの(λ は発振波長の膜中の実波長) $\text{Si}/\text{Al}_2\text{O}_3$ の6ペアからなる誘電体多層膜9をRFスパッタ法などで形成する。このとき電極コンタクトをとるためにアニールしておく。

【0030】次に、図2(c)に示す様に、InP基板20を100 μm 厚まで研磨して、誘電体多層膜9側を接着剤11でシリカガラスなどから成るガラス基板12に接着する。ここで、接着剤11としては、可視光に対して透明な、加熱して軟化するタイプのものなどを用いることができる。次に、基板20の周囲を保護して塩酸でエッチングを行ない、InGaAsコンタクトないしエッチングストップ層1を露出させる。InGaAsは塩酸にはエッチングされないため、完全にコンタクト層1でエッチングがストップする。基板の除去は研磨或はウェットエッチングで行なってもよい。

【0031】次に、図2(d)に示す様に、n側電極8としてAuGe(2000Å)/Au(3000Å)を蒸着し、ピクセル部において、活性層3より若干大きい径の円形に該電極8とコンタクト層1を除去し、電極コンタクトのためにアニールを行なう。最後に、 $\text{Si}/\text{Al}_2\text{O}_3$ の6ペアからなる誘電体多層膜10をRFスパッタ法などで形成すれば、図1(a)の様な構造が完成する。

【0032】この様なピクセル14を半導体基板20上に多数並べて作製すれば、簡単に面出射型の2次元アレーレーザが構成できる。図1(b)では、3×3の9ピクセル14からなる素子であるが、その数は増やすことができる。また、ピクセルを複数の半導体基板上に作製し、それらを適当な配列でガラス基板上に貼り付けていけば、更にピクセルの数を増やすことができる。

【0033】この様に、発光領域(ピクセル)は元の半導体基板20上に2次元アレー状に配列できるので、容易に面出射型のアレー素子が構成できる。成長基板である半導体基板20は従来の様にホールを開けるのではなく、すべてをエッチングで除去して平坦にするため、素子(ピクセル)間隔や歩留まりに制限が生じない。半導体ミラーの直接接合に比べると、誘電体多層膜ミラーを用いた場合、電極の取り出し方に工夫が必要となる。これは、図1(a)に示す様に、誘電体多層膜ミラー9の横から電流を入れて誘電体多層膜ミラー10の横から電流を取り出す必要があるからである。本実施例においては、面積に制限がないガラスなどの基板12を用いるので大面積化が可能となる。即ち、通常は半導体基板の大きさ(化合物半導体で3インチφ程度)で制限されるが、半導体基板に形成されたエピタキシャル成長層をガラスなどに貼り合わせて行けばそれ以上の大面積化が可能である。

【0034】ピクセル14の間隔を狭く100 μm 程度にすると、電流干渉が問題になる場合があるため、電流干渉を防ぐ為にピクセル14の間にRIBEなどで格子

状の溝を切っておくとよい。これは電極を貼る前に行なう。その場合、その溝をポリイミドなどで埋め込めば、電極の切れなく図1(b)の様なストライプパターンが形成できる。

【0035】また、この材料系では、温度制御を行なわないと安定な連続発振が難しい。誘電体多層膜10側を、ダイヤモンド、AlNあるいはSiなどのヒートシンクに接着させて温度制御を行なえばよい。 $\text{Si}/\text{Al}_2\text{O}_3$ から構成されるミラー10は比較的熱伝導が高いために、安定な連続発振が可能となる。この場合、ヒートシンクの反対側のガラス基板12側から光を取り出せばよい。また、ガラス基板12には無反射コーティングを施すことで光出力を大きくできる。

【0036】この様なアレーレーザは、光情報処理あるいは高速並列情報伝送や光インターコネクションのための2次元アレー光源として応用できる。また、後述の実施例で説明する様に、青色あるいは紫外の発光が可能な材料で以上の様なアレー素子を形成し、ガラス面にR、G、Bの蛍光体を塗布すればフルカラー表示素子としても応用できる。

【0037】上述の例では、InP基板20上のInGaAsP/InP系で作製したものであるが、もちろん材料系に依存せず、他の波長帯でも実現可能である。すなわち、サファイア基板上のAlGaIn/InGaIn系、GaAs基板上のInGaAlP/InAlP系、InGaAs/AlGaAs系、InGaInAs/AlGaAs(GaInP)系などに適用できる。特に、InGaInAs/AlGaAs(GaInP)系で構成された1.3 μm 帯レーザでは、温度特性、微分利得が優れているために、温度制御なしで動作させることができ、ヒートシンクを用いないので光を上下両面から取り出せる。

【0038】[第2実施例] 図3は、本発明の面発光半導体デバイスの第2の実施例を示す概略断面図である。図3において、図1(a)と同一の部材には、同一の符号を付し、詳細な説明は省略する。

【0039】本発明の第2の実施例は、図3に示す構造の様にピクセルの形成を基板に貼り付け後に行なうものである。構成される材料は同じで、InP基板上のInGaAsP/InP系で発振波長1.55 μm 帯のVCSELを構成した。貼り付ける基板としては、1.55 μm では損失がほとんどない両面研磨のSi基板を用いた。また、貼り付けは、誘電体ミラーの最終層をSiにしておき、スパッタしたアモルファス状のSiとSi基板の表面を直接貼り合わせ、荷重をかけながら200℃の加熱で直接接合を行なった。従って、接着剤は用いていない。このとき、先にピクセルの加工を行なっていると、表面の凹凸やポリイミドの影響でSi基板との接合が難しい。接合強度を得るために、さらに高温で処理してもよい。

【0040】第2実施例の作製工程を述べながら構造を説明する。InP基板上に第1実施例と同様にレーザ構造をエピタキシャル成長（活性層3の設計は異なる）し、最上層となるInGaAsコンタクト層5にノンアロイ電極7として、Ti（500Å）/Pt（1000Å）/Au（3000Å）を形成する。この電極7では加熱時に拡散が起こらない。次に、多層膜ミラー9の有効径を適当な大きさにする様な径の円形に電極7及びコンタクト層5を除去して、Si/AI₂O₃の多層膜ミラー9（最終層がSi）を成膜する。次に、上述の様にSi

基板18に接合する。19はエアギャップである。その後、InP基板を除去した後に第1実施例と同様にピクセルの形成プロセス（ドーナツ状の溝の形成、活性層3の径をくびれさせる選択エッチング、ポリイミド13での溝部の埋め込み等）を行なう。図3においては、工程の簡略化のために電極8が全面に蒸着されているが、第1実施例の様な構成でもよい。その場合は、こちら側からも光が取り出せる。

【0041】素子動作を行なう場合には、第1実施例と同様に温度制御を行なうことができる。光はSi基板18側から取り出してもよいし、Si基板18をヒートシンクとして基板に貼り付けていない側から取り出してもよい。

【0042】本実施例では、半導体材料のSi基板上に作製した集積回路と光素子とを同一基板18上に備えることができ、安価に光-電子集積素子が構成できる。

【0043】この様に電子回路を集積化した半導体装置の例を図6に示す。図6において、図3と同一の部材には同一の符号を付し、詳細な説明は省略する。

【0044】図6の装置においては、面発光デバイスを駆動するための最終段のシリコン・オン・インシュレータ（SOI）基板上に作製されたトランジスタTrのみが図示されており、Si基板18の他の領域にはLSI（不図示）が形成されている。また、図6の様にSi基板18の接着されていない面には光検出器Dが集積されており、レーザ光の信号を受光することができる。これはSi基板がレーザ波長に対して透明な場合に有効である。レーザ出力LはSi基板18と反対側から取り出したり、光検出器のない部分から取り出すことができる。この図での面発光レーザは図3と若干異なり、電極8が誘電体ミラー10の下側に形成され、しかも光を取り出せる様に窓開けをしている。更に、アレイ化したときの電極分離を分離領域95によって行なっている。

【0045】トランジスタTrはn⁺拡散領域86の電極83がコレクタ、p拡散領域88の電極85がベース、n拡散領域87の電極84がエミッタとなるnpn型であり、82はSOI基板のn型Si薄膜、81はSOI基板のSiO₂膜であり、94は素子分離のためにp拡散した領域である。トランジスタのコレクタ電極83は面発光レーザの配線7と接続されている。図中に

は示していないが、このトランジスタのコレクタ以外の電極はこのSiデバイス上に形成された他のCMOS回路等と絶縁膜92上に形成した電気配線で結ばれている。また、面発光レーザのもう一方の電極8も基板上に形成した配線パターンを経由して電源等に接続される。一方、光検出器Dは、p型拡散領域90およびn型拡散領域91がSOI基板の裏側に形成され、絶縁膜93を介して配線89によって他のCMOS回路等と結ばれている。

【0046】〔第3実施例〕図4は、本発明の面発光半導体デバイスの第3の実施例を示す概略断面図である。図4において、図1（a）と同一の部材には、同一の符号を付し、詳細な説明は省略する。

【0047】本実施例においては、誘電体多層膜ミラー10の上に、接着剤11'を介して第3の基板12'が貼り合わされている点で第1の実施例と相違し、その他の点では第1実施例と同一である。したがって、本実施例の面発光半導体デバイスは、第3の基板12'と貼り合わせる工程までは、第1の実施例と全く同様に製造される。

【0048】上記第3の基板12'としては、ガラス基板12と同様に、ガラス等の光透過性の材料から成る基板を用いれば、活性層の両側から光を発するデバイスとなる。また、第3の基板12'としてシリコン基板を用いることもできる。このシリコン基板にトランジスタ等の素子を形成しておけば、発光デバイスと他の電気素子が集積化された半導体装置が得られる。

【0049】更に、第3の基板12'としてシリコン基板を用い、ガラス基板12の代わりにシリコン基板を用いた場合には、これらのシリコン基板上に作製された集積回路の間で高速な信号の伝送を行いながら、これらの集積回路が互いに電氣的にアイソレートされた構造の半導体装置を構成することができる。この様な半導体装置の例を図7に示す。図7において、図4と同一の部材には同一の符号を付し、詳細な説明は省略する。

【0050】図7において、SOI基板18及びSi基板18'には不図示のLSIが形成されており、最終段のnチャネルのオープンドレイン型のMOS-FET140が面発光レーザに接続されてLSIからのデータ信号を光の明滅に変換している。MOS-FETは、SOI基板18のn拡散層99内に形成したp型拡散ウェル103によって構成されている。ここで、絶縁膜92を介して形成した電極101がゲート、n拡散層104上に形成した電極100がドレイン、同じくn型拡散層105上に形成した電極102がソースとなっており、ドレイン100が面発光レーザと電極配線7を介して接続されている。Si基板18'には、面発光レーザからの光信号を電気信号に変換する光検出器141が集積されており、その出力がその基板上のLSIのデータ信号として取り込まれる。この検出器の構造は図6と同様であ

る。

【0051】なお、この半導体装置において、活性層97から発する光は、SiO₂基板18及びSi基板18'を透過しない。そして、活性層97は、エピタキシャル成長によって形成された分布ブラッグ反射(DBR)ミラー96及び98に両側からサンドイッチにされ、面発光半導体レーザを構成している。これによって、3次元スタックした高密度集積化半導体装置が得られた。

【0052】これまでの実施例においては、エピタキシャル成長された半導体層上に誘電体ミラーを形成していたが、ガラス、Siなどの異種基板側に誘電体ミラーを形成しておいて、半導体層と接着してもよい。その場合、ミラーは平坦に形成できるが、エピ層とミラーまでにギャップができるため共振器長が長くなり、また散乱などの損失が起こること、レーザしきい値電流は増加する。

【0053】〔第4実施例〕本発明による第4の実施例は、GaN系材料によって青色から紫外光(420~380nm)を発するレーザあるいはLEDを上記実施例の様にガラス基板に貼り付けて2次元アレー化するものである。このときガラス基板62側には図5に示す様に画素(ピクセル)ごとにR、G、Bの蛍光を発する蛍光体63を塗布しておけば、青色から紫外光の光励起によるフルカラー表示素子として適用できる。

【0054】画素としては、ピクセル径25μmφ、間隔75μm程度で実現でき、面積も原理的には非常に大きくできるため、薄型大画面フルカラー表示素子を提供できる。発光源として低しきい値レーザを用いるため、消費電力が小さく輝度の高い表示ができ、高電圧、真空が必要でないことが利点である。

【0055】図5をもとに本実施例の構造とプロセスを説明する。サファイア基板(不図示)上に、GaNあるいはAlNの低い成長温度で成膜する低温バッファ層

(不図示)を数10μmと厚めに成膜し、n-GaN/n-AlGaNから成るクラッド層51、アンドープのInGaN/AlGaNから成る多重量子井戸活性層52、p-AlGaN/p-GaNから成るクラッド層54、p-GaNキャップ層55をMOVPE(Metal Organized Vapor Phase Epitaxy)法などで成長する。続いて、第1実施例と同様に、ピクセル形成などをRIEによるエッチング等を用いて行なう。なお、活性層52の選択くびれエッチングは困難なため、本実施例では、活性層52を構成するバリア層としてのAlGaN層の選択酸化によって電流阻止領域53を形成した。これは、水蒸気雰囲気中で500℃程度で加熱処理すると、酸化されやすいAlを含む層において側壁から時間とともに酸化層が内部に進行していくことを利用している。このとき、クラッド層54のAlGaN層の側壁も同様に酸化されるが、キャップ層55はGaNであるために変化しなく電流阻止領域が形成されない。よって、

問題は生じない。この後、溝部を埋め込み層64で埋め込んだ後、p側の電極57として、Ni(1000Å)/Au(3000Å)を蒸着する。56は絶縁層である。

【0056】その後、RFスパッタ法などで、SiO₂/MgOの18ペアから成る誘電体多層膜ミラー59を形成し、各ピクセルに対応してRGBの蛍光体63を適当にパターニングしたガラス基板62に接着剤61で接着する。

【0057】次に、サファイア基板をバッファ層が現れるまで研磨等によって除去する。現れたGaNあるいはAlNの低温バッファ層は、300℃に加熱した磷酸によってエッチングし除去する。このとき、単結晶エピ成長しているn-GaN/n-AlGaNから成るクラッド層51のn-GaN層は上記エッチャントに対してレートが非常に遅いため、選択エッチングが可能である。最後に、SiO₂/MgOから成る誘電体多層膜ミラー60、n側電極58としてTi(500Å)/Al(1μm)/Au(2000Å)を蒸着して完成する。

【0058】電極パターン及び電極の取り方等は第1実施例と同様である。LEDの場合は、蛍光体63側の誘電体ミラー59を付けなければよい。第1実施例から第3実施例においても、光の取り出し側のミラーを付けな

い、LEDアレーとしてもよい。

【0059】図5に示す第4実施例の面発光半導体デバイスを用いて作製されたフルカラー表示素子の例を図8に示す。図8の様に、表示素子用のガラス板110に約60mm□単位のGaN系発光素子111を複数並べて構成している。発光素子111中の丸く書いた部分が1つの画素に相当している。図8はフルカラーのフラット型表示素子を裏面から見た斜視図であり、配線領域112、画素点灯用のドライバIC113をガラス面上に実装した様子を表している。図8で描いたGaN発光素子の数は図中のものに制限されるものではなく、ガラス板面積を大きくして多数集積すれば60インチ程度の大画面にも対応できる。

【0060】また、作製手順として、まず駆動回路を集積したSiウエハにGaN発光層をサファイア基板を除去する事で転写し、これを蛍光体を塗布したガラス板に並べて構成してもよい。すなわち、GaN系発光層がガラスとSi基板でサンドイッチされた構造で、ガラス側から表示光を取り出すという構成である。この場合、Si基板上に駆動回路が集積できるので表示速度の向上が可能となる。また、このとき、図9の様にSiウエハ120に60mm□のGaN発光素子111を何枚か集積化して、(画素のない周辺部を切り落としてから)ガラス板に複数貼り付けるというステップを踏むことができるので、複数貼り合わせる場合の画素同士のアライメントの容易性、研磨等の工程の容易性、配線のアライメント精度などが向上し、歩留まりが向上する。図9はガラ

ス基板に貼り付ける前にSiウェハ120に貼り付けてサファイア基板を除去したものであるが、RGBに対応する配列を記載している。図の様に画素は最密になる様に構成し、RGBの並びが三角状で互いに頂点と底辺を互い違いになる様に並べた。しかし、RGBの並べ方はこの図に限られたものでなく、各色の輝度に応じて画素数の割合を制御してもよい。

【0061】

【発明の効果】以上説明した様に、本発明によって、作製が簡単で生産性が高く2次元アレー面型発光装置などにも適する様になった面型半導体発光装置の製造方法、この方法によって製造された面型半導体発光装置及びこの発光装置を用いた表示装置が実現できた。

【図面の簡単な説明】

【図1】図1は本発明の面発光半導体デバイスの第1実施例の概略断面図(a)及び平面図(b)である。

【図2】図2は本発明の面発光半導体デバイスの第1実施例の作製工程を説明する概略断面図である。

【図3】図3は本発明の面発光半導体デバイスの第2実施例の概略断面図である。

【図4】図4は本発明の面発光半導体デバイスの第3実施例の概略断面図である。

【図5】図5は本発明の面発光半導体デバイスの第4実施例の概略断面図である。

【図6】図6は本発明の面発光半導体デバイスと光検出器及びトランジスタを集積化した半導体装置の構成例を示す概略断面図である。

【図7】図7は本発明の面発光半導体デバイスとMOS-FETを集積化した半導体装置の構成例を示す概略断面図である。

【図8】図8は本発明の面発光半導体デバイスを用いた表示装置の一例を示す概略斜視図である。

【図9】図9は本発明の面発光半導体デバイスを用いた表示装置の他の例を示す概略斜視図である。

【図10】図10は面発光半導体デバイスの従来例を示す概略断面図である。

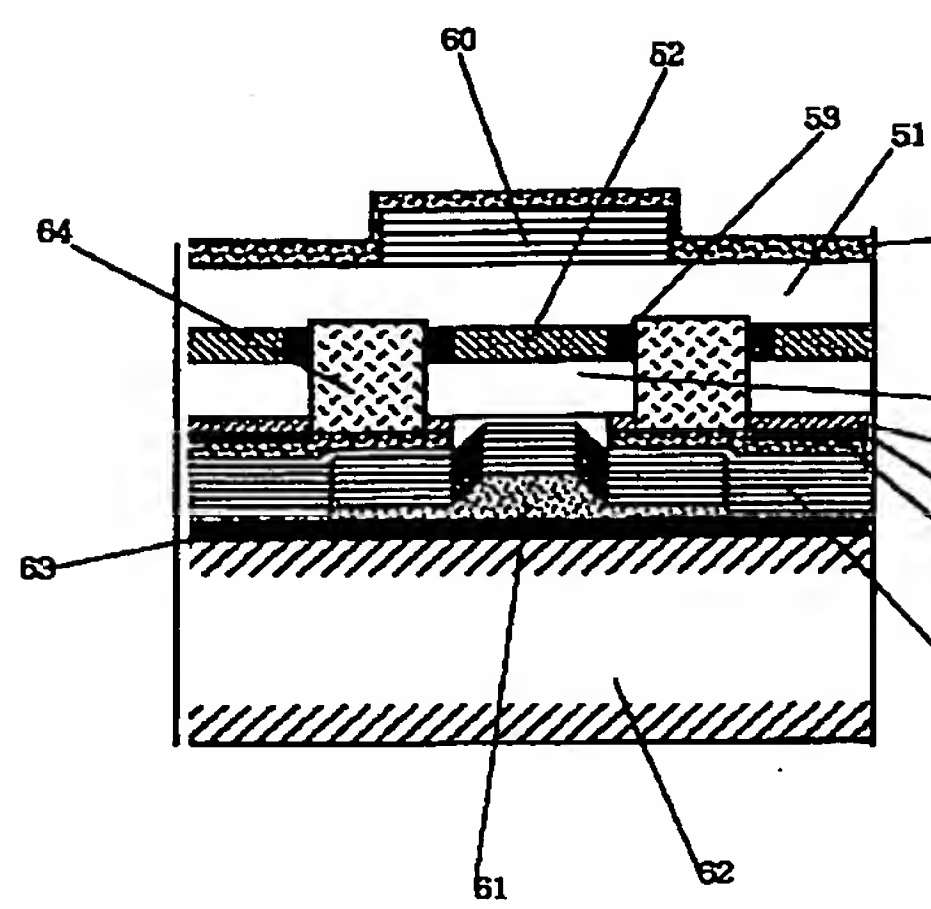
【図11】図11は面発光半導体デバイスと他の電気素子が集積化された半導体装置の構成例を示す概略断面図である。

【符号の説明】

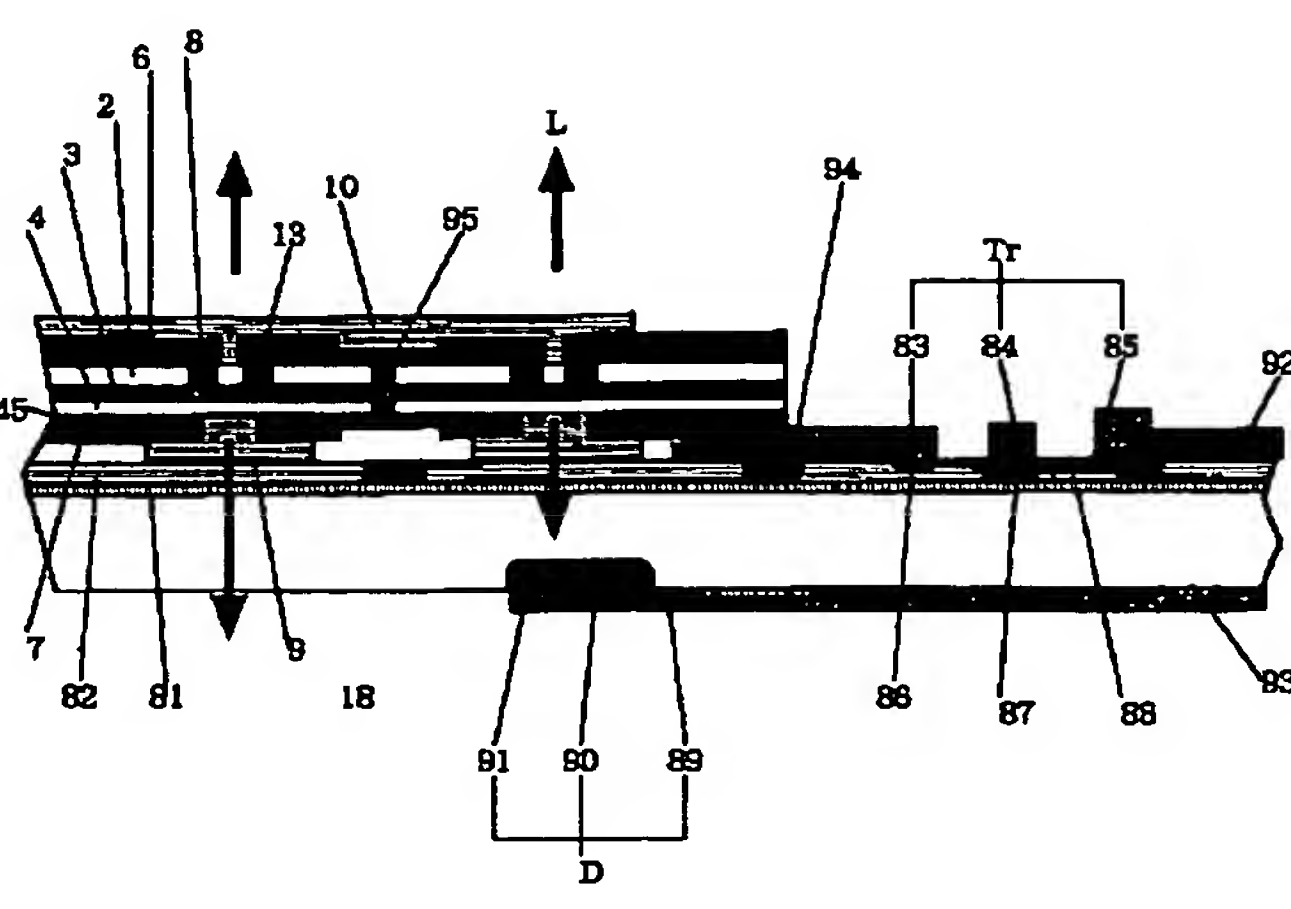
- 1、202 エッチングストップ層(コンタクト層)
- 2、4、51、54、203、205 クラッド層
- 3、52、97、204 活性層
- 5、55、206 コンタクト層

- 6、56、92、93、207、300 絶縁膜
- 7、8、57、58、208 電極
- 9、10、59、60、96、98、209 多層膜
- 反射ミラー
- 11、11'、61 接着剤
- 12、62 誘電体ガラス
- 12' 第3の基板
- 13、64、210 埋め込み層
- 14 発光領域(ピクセル)
- 15 半導体結晶領域(エピ成長層)
- 16 電極ワイヤ
- 18、18' Si基板(SOI基板)
- 19 エアギャップ部
- 20、201 単結晶基板
- 53 選択酸化層
- 63 蛍光体
- 81 SiO₂膜
- 82 n型Si薄膜
- 83 コレクタ電極
- 84 エミッタ電極
- 85 ベース電極
- 86 n⁺拡散領域
- 87、91、104、105 n型拡散領域
- 88、90、94 p型拡散領域
- 89、400、500C、500D 配線
- 95 分離領域
- 99 n型拡散層
- 100 ドレイン電極
- 101 ゲート電極
- 102 ソース電極
- 103 p拡散ウェル
- 110 表示素子用ガラス板
- 111 発光素子
- 112 配線領域
- 113 画素点灯用のドライバIC
- 120 Siウェハ
- 140 MOS-FET
- 141 光検出器
- 200 集積回路半導体基板
- 200A 集積回路基板の金属配線
- 201a 窓部
- 500 光入出力基板
- 500A 受光素子
- 500B VCSEL

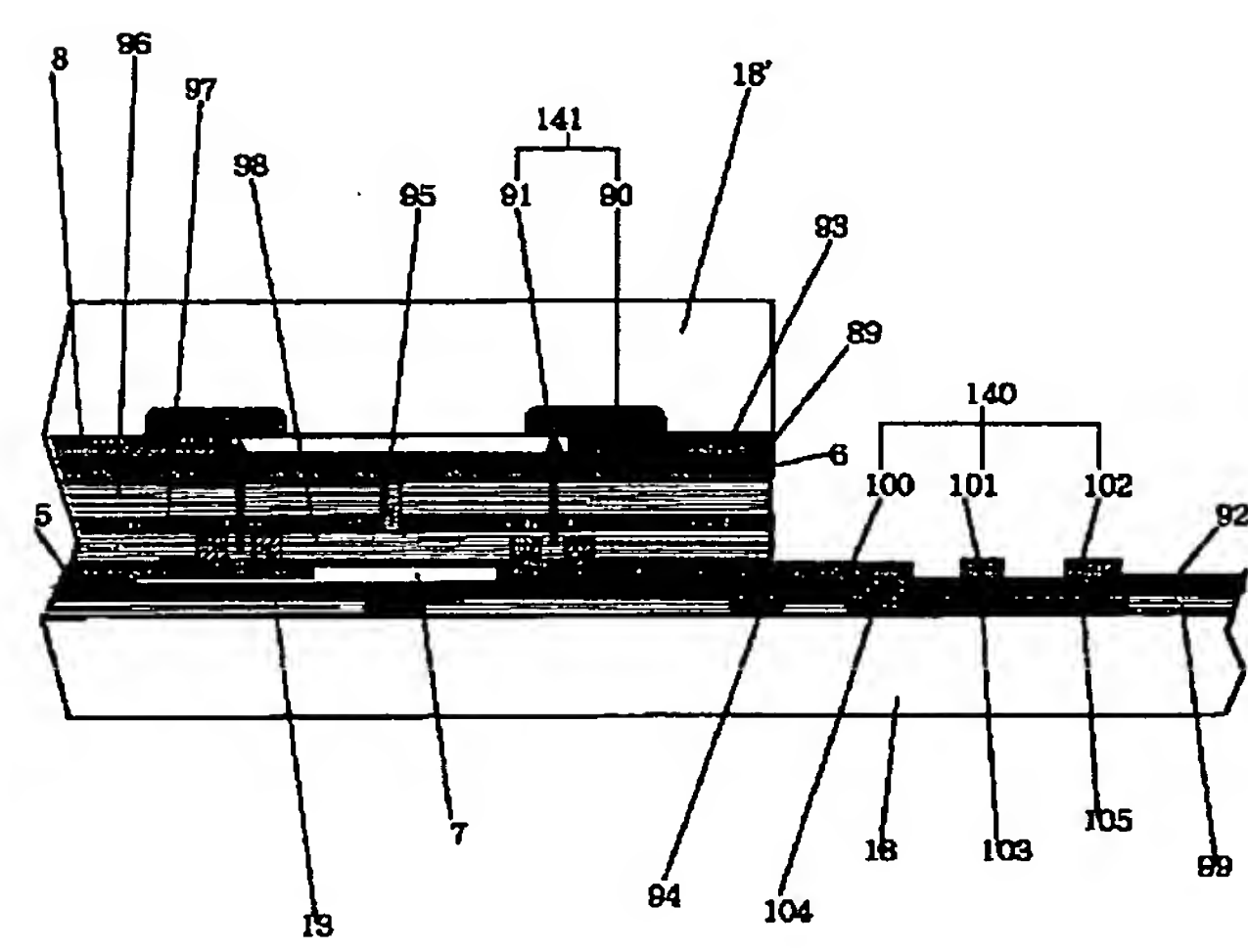
【図5】



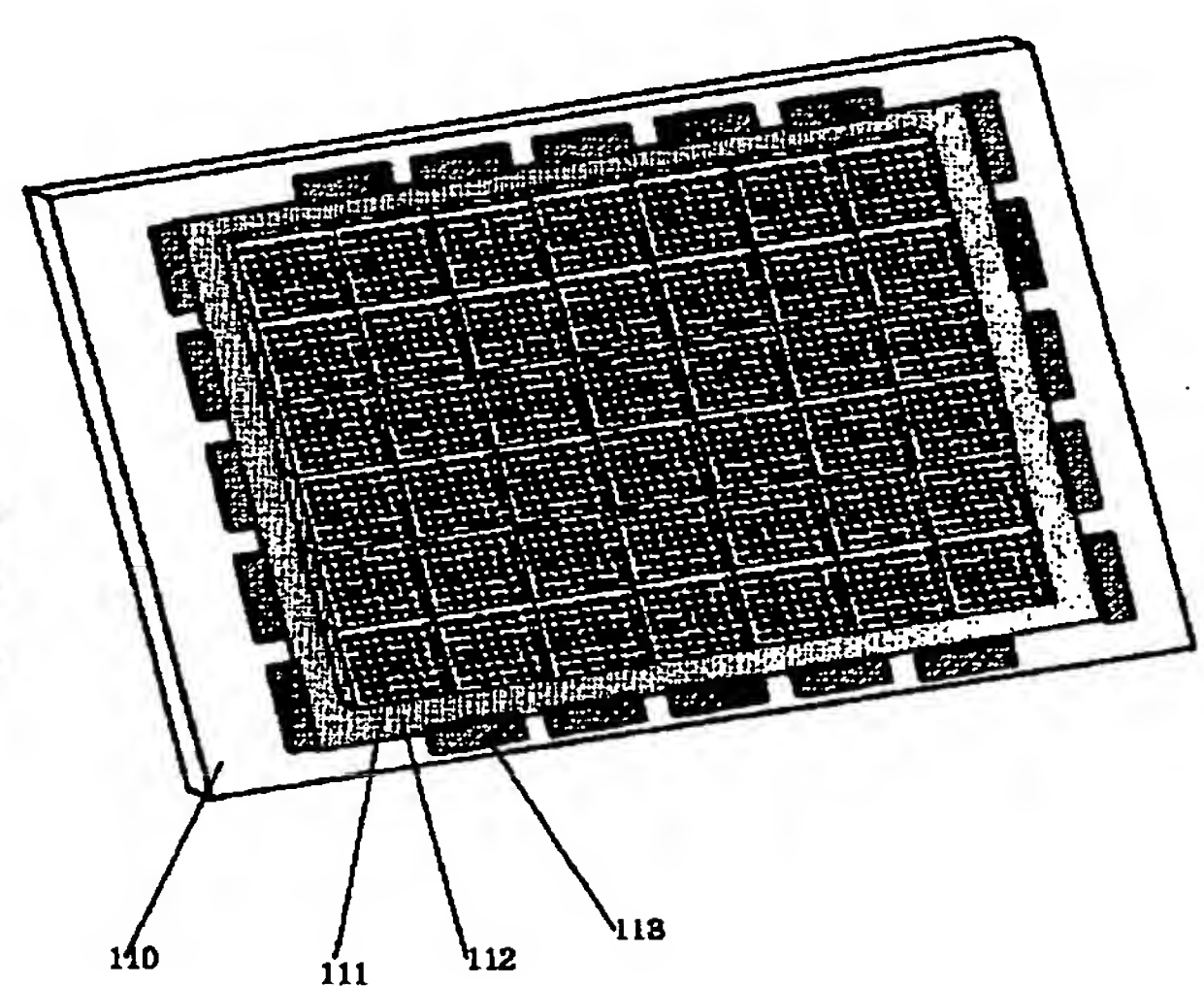
【図6】



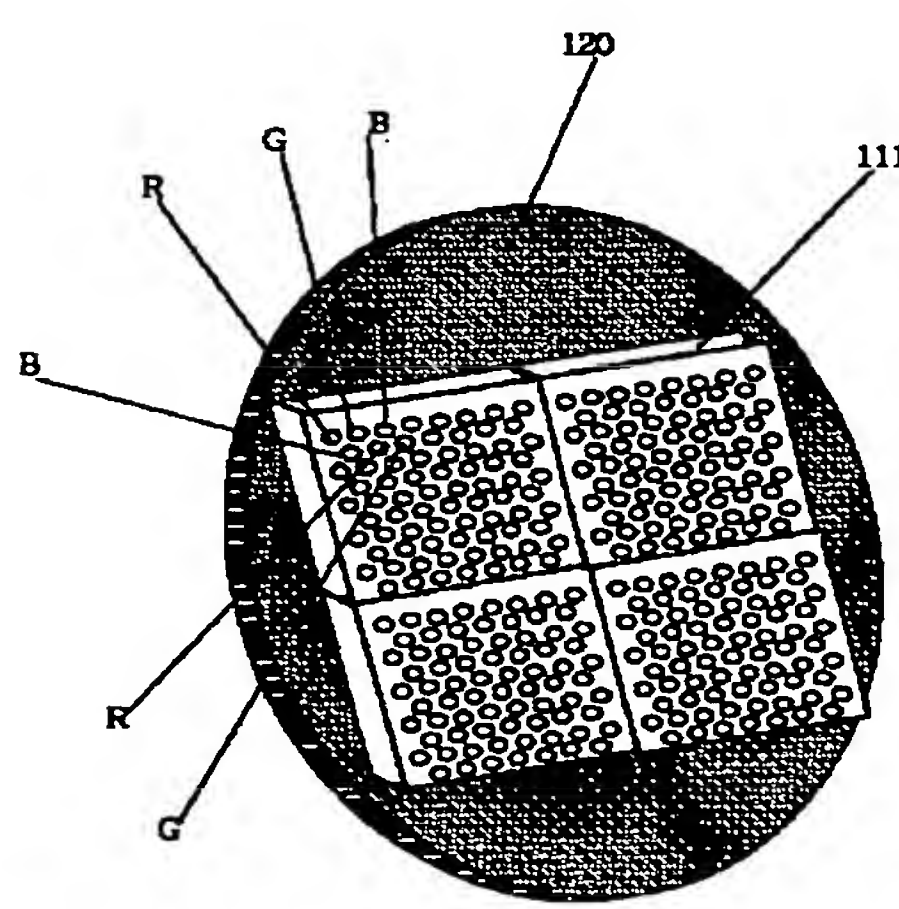
【図7】



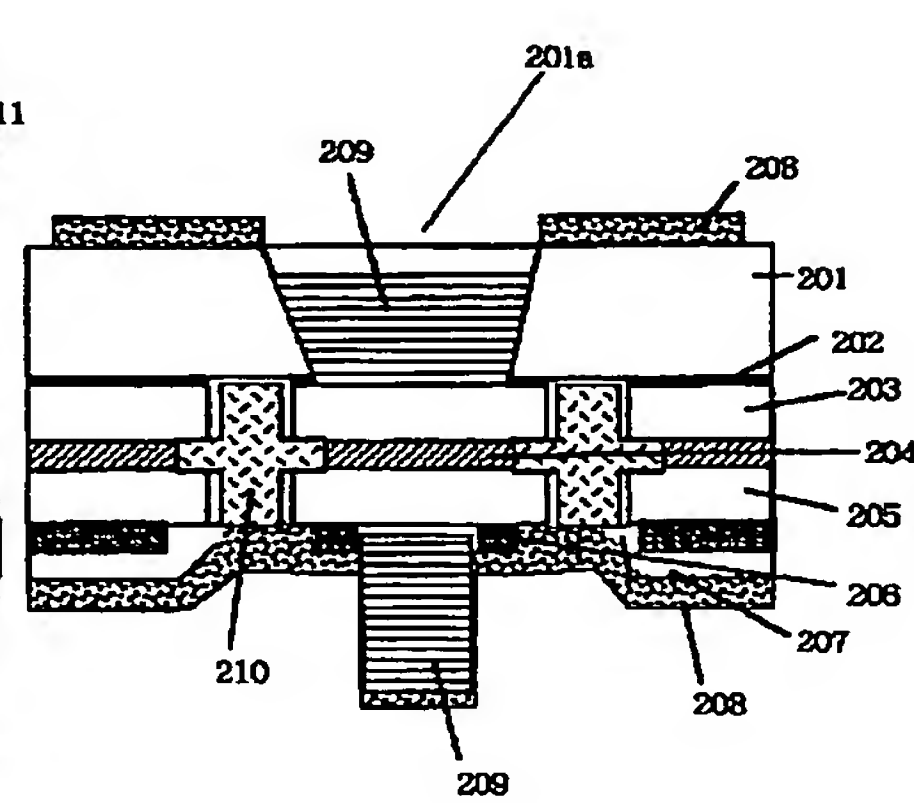
【図8】



【図9】



【図10】



【図 1 1】

